

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-145745

(43)Date of publication of application : 01.08.1985

(51)Int.Cl.

H04L 7/02  
H04L 25/49

(21)Application number : 59-001634

(71)Applicant : NEC CORP

(22)Date of filing : 09.01.1984

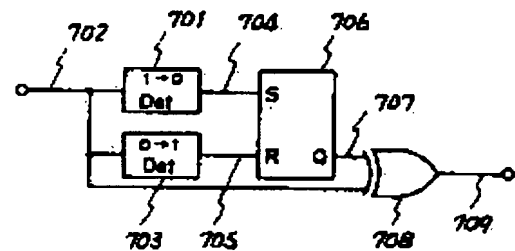
(72)Inventor : IWAGAMI TAKUYA

## (54) SYSTEM AND CIRCUIT FOR EXTRACTING BIPHASE CODE CLOCK

(57)Abstract:

**PURPOSE:** To always attain stable clock detection with a simple system by taking exclusive OR between an input signal subject to changing point detection signal biphas coding where the binary state is inverted alternately at the point of time of code change and the output of a flip-flop.

**CONSTITUTION:** A code change detection circuit 701 detects the code change of 1→0 of the input signal 702. A code change detection circuit 703 detects the code change of 0→1 of the input signal 702. A set/reset flip-flop 706 uses one output signal of code change detection circuits 701, 703 as the set input signal and the other output signal as a reset input signal. An exclusive OR circuit inputs the output signal 707 of the flip-flop 706 and the input signal subject to biphas coding so as to OR them exclusively.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-145745

⑬ Int.Cl.<sup>4</sup>

H 04 L 7/02  
25/49

識別記号

庁内整理番号

6745-5K  
F-7345-5K

⑭ 公開 昭和60年(1985)8月1日

審査請求 未請求 発明の数 3 (全7頁)

⑮ 発明の名称 バイフェーズ符号クロック抽出方式および回路

⑯ 特 願 昭59-1634

⑰ 出 願 昭59(1984)1月9日

⑱ 発 明 者 岩 上 卓 哉 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

バイフェーズ符号クロック抽出方式および回路

特許請求の範囲

(1) バイフェーズ符号化された入力信号の符号変化時点を検出することにより、この符号変化時点で2値の状態が交互に反転するような変化点検出信号を作り、この変化点検出信号と前記バイフェーズ符号化された入力信号との排他的論理和をとることにより、クロック信号を抽出することを特徴とする、バイフェーズ符号クロック抽出方式。

(2) バイフェーズ符号化された入力信号の“1”→“0”の符号変化を検出する第1の符号変化検出回路と、前記バイフェーズ符号化された入力信号の“0”→“1”の符号変化を検出する第2の符号変化検出回路と、前記第1および第2の符号変化検出回路の一方の出力信号をセット入力信号とし、他方の出力信号をリセット入力信号とするセット・

リセット形フリップフロップ回路と、このセット・リセット形フリップフロップ回路の出力信号と前記バイフェーズ符号化された入力信号とを入力し排他的論理和演算を行なう排他的論理和回路とを含んで成るバイフェーズ符号クロック抽出回路。

(3) バイフェーズ符号化された入力信号の符号変化時点を検出する符号変化検出回路と、この符号変化検出回路の出力信号を入力信号とするバイナリカウンタと、このバイナリカウンタの出力信号と前記バイフェーズ符号化された入力信号とを入力し排他的論理和演算を行なう排他的論理和回路とを含んで成るバイフェーズ符号クロック抽出回路。

発明の詳細な説明

(産業上の利用分野)

本発明は、バイフェーズ符号を用いたデジタル伝送方式において、受信信号系列からクロック信号を抽出するための方式および回路に関するものである。

(従来技術とその問題点)

バイフェーズ符号(あるいはマンチェスタ符号とも呼ばれる)は、(i) その符号系列自体に直流成分が無いため低域遮断特性をもった伝送路を用いても誤りのない符号伝送ができる、(ii) 符号化・復号化がきわめて簡単である、等の利点を有しているため、データ伝送を中心に広く使用されている。第1図はバイフェーズ符号の変換則を示したもので、原データ系列をクロック周波数 $f_0$ のNRZ(non-return-to-zero)パルスで表わすとき、この原データ系列の"1"をクロック周波数 $2f_0$ のNRZパルス"10"に、又原データ系列の"0"をクロック周波数 $2f_0$ のNRZパルス"01"に変換するものである(もちろん逆に"1"→"01"、"0"→"10"と対応づけても同じである)。第2図は原データ系列をこの符号則により符号化した場合の一例を示す。

第3図は2値NRZ符号をバイフェーズ符号化する回路の一例を示したもので、301はNRZ符号入力302とクロック信号(周波数 $f_0$ )303の排

他的論理和をとる排他的論理和回路である。2つの入力信号302,303の位相関係を適切に通ぶことにより、排他的論理和回路301の出力信号304としてバイフェーズ符号化された信号が得られる。フリップフロップ回路306は出力信号304を整形するためのもので、周波数 $f_0$ のクロック信号307によって2倍の周波数 $2f_0$ にて1倍されたクロック信号308により駆動され、最終的なバイフェーズ符号出力305が得られる。

第4図はバイフェーズ符号を元のNRZ符号に変換する復号回路の一例である。401はフリップフロップ回路であり、これにバイフェーズ符号化された入力信号402と周波数 $f_0$ のクロック信号403とを適切な位相関係で加えれば、出力信号404として元のNRZ符号に復号された信号が得られる。

第3図、第4図の例から明らかなように、バイフェーズ符号の符号化、復号化はきわめて簡単な回路で実現できる。なお、第2図の原データとバイフェーズ符号の対応関係からわかるように、第

4図の復号回路においてクロック入力の位相が $180^\circ$ ずれると、復号された出力404の極性が完全に反転する。このような不都合を避けるためには、バイフェーズ符号化する前の2値NRZ符号(第3図の302)をあらかじめ差動符号化しておき、バイフェーズ復号化された信号(第4図404)を逆に差動復号化すればよい。

第4図の復号回路の例でもわかるように、バイフェーズ符号を元のNRZ符号に戻すためにはクロック信号が必要である。データ伝送システムにおいては、第3図のような符号化回路は送信装置の中に、又第4図のような復号回路は受信装置の中に置かれ、送信装置と受信装置は伝送路によって長距離を距てて置かれるのが普通である。このためデータ信号とクロック信号を別々に伝送するよりも、データ信号だけを伝送し、そのデータ信号自身からクロック信号を抽出する方式をとるのが望ましい。本発明はこのようなクロック抽出に関する新規な方式および回路を提供するものである。

バイフェーズ符号からのクロック信号抽出方式として公知なものに、1982年9月2日に公開されたPCT出願第WO82/02985号に記載された方法がある。これは第5図に示したように、バイフェーズ符号化された入力信号501をフリップフロップ回路502でNRZ符号に一旦復号し、この復号出力503と抽出クロック信号504を排他的論理和回路505に加えて再びバイフェーズ符号506を得る。このバイフェーズ符号506の位相は抽出クロック504の位相に応じて変化する。バイフェーズ符号506の位相と入力バイフェーズ符号501の位相差を位相比較器507で検出し、その出力信号を低域通過フィルタ508に通した後に電圧制御発振器509に加える。これによって位相同期ループが形成され、電圧制御発振器509の出力としてクロック信号504が得られる。位相比較器507、低域通過フィルタ508、電圧制御発振器509はいわゆる位相同期発振器510を構成している。

この方法はバイフェーズ復号とタイミング抽出

を同時に行なえるという利点を有しているが、反面、抽出したクロック(第5図504)で入力バイフェーズ符号(同501)を識別判定するという、いわゆる判定帰還形の構成になっているため、初期動作時(たとえば電源投入時)や伝送路誤りの多発時に、位相同期がはずれたり、引込み不可能になったりして安定なクロック抽出ができない場合がある、という欠点があった。

#### (発明の目的)

本発明は従来のクロック抽出方式のこのような欠点に鑑みてなされたもので、簡易な方式により常に安定なクロック抽出を行なわしめることを目的としている。

#### (発明の構成)

本発明によれば、バイフェーズ符号化された入力信号の符号変化時点を検出することにより、この符号変化時点で2値の状態が交互に反転するような変化点検出信号を作り、この変化点検出信号と前記バイフェーズ符号化された入力信号との排他的論理和をとることにより、クロック信号を抽

出することを特徴とする、バイフェーズ符号クロック抽出方式が得られる。

また、本発明によれば、バイフェーズ符号化された入力信号の $1 \rightarrow 0$ の符号変化を検出する第1の符号変化検出回路と、前記バイフェーズ符号化された入力信号の $0 \rightarrow 1$ の符号変化を検出する第2の符号変化検出回路と、前記第1および第2の符号変化検出回路の一方の出力信号をセット入力信号とし、他方の出力信号をリセット入力信号とするセット・リセット形フリップフロップ回路と、このセット・リセット形フリップフロップ回路の出力信号と前記バイフェーズ符号化された入力信号とを入力し排他的論理和演算を行なう排他的論理和回路とを含んで成るバイフェーズ符号クロック抽出回路が得られる。

さらに、本発明によれば、バイフェーズ符号化された入力信号の符号変化時点を検出する符号変化検出回路と、この符号変化検出回路の出力信号を入力信号とするバイナリカウンタと、このバイナリカウンタの出力信号と前記バイフェーズ符号

化された入力信号とを入力し排他的論理和演算を行なう排他的論理和回路とを含んで成るバイフェーズ符号クロック抽出回路が得られる。

#### (発明の原理)

以下、図面を参照して本発明の原理を説明する。第6図は本発明のクロック抽出方式の原理を説明する図である。同図において(a)はバイフェーズ符号化された入力信号であり、第2図に例示したのと同じ符号系列を示してある。この系列の符号変化時点は601,602,603,604等で示した時点であるから、この時点を検出して2値の状態が交互に反転するような変化点検出信号を作れば同図(b)のようになる。この信号と(a)の入力信号との排他的論理和をとれば、同図(c)に示したようなクロック信号が得られる。なお、変化点検出信号としては同図(b)の信号の極性を反転したもの、すなわち同図(d)のような信号であってもよい。この場合は、入力信号との排他的論理和をとった結果のクロック信号として、同図(e)の波形が得られる。これは同図(c)のクロック信号の極性を反転したもの(ある

いは位相を $180^\circ$ ずらしたもの)となっている。このように、動作の初期状態によって抽出クロック信号に2種類の位相状態が存在しうが、前述したように、バイフェーズ符号化する前のデータ信号をあらかじめ差動化しておくことにより、このようなクロック信号極性の不確実性があっても、誤りなく原データを再生することができる。

このように本発明の方式はきわめて簡単であり、しかも判定帰還ループを有さないもので、初期動作時や伝送路状態が悪い時でも常に安定に動作する。なお本方式は簡単な論理操作のみで実現するため、データ伝送速度がきわめて速い場合や、伝送路特性の影響で入力波形の歪が大きい場合には、抽出タイミング波形にも歪やジッタが生じる可能性がある。このような場合には、抽出したタイミング信号を位相同期発振器に加えることにより、ジッタや波形歪を除去できる。この場合、第5図のような従来例と異なり、位相同期発振器はタイミング抽出回路の出力に完全に従属接続されているため、動作が不安定になることはない。

(実施例)

第7図は本発明のクロック抽出方式を具現する回路の構成を示す。同図において701はバイフェーズ符号化された入力信号702の $\text{'1'} \rightarrow \text{'0'}$ の符号変化を検出する第1の符号変化検出回路、703は前記バイフェーズ符号化された入力信号702の $\text{'0'} \rightarrow \text{'1'}$ の符号変化を検出する第2の符号変化検出回路、706は前記第1および第2の符号変化検出回路701,703の一方の出力信号(たとえば704)をセット入力信号とし、他方の出力信号(たとえば705)をリセット入力信号とするセット・リセット形フリップフロップ回路、708はこのセット・リセット形フリップフロップ回路の出力信号707と前記バイフェーズ符号化された入力信号とを入力し排他的論理和演算を行なう排他的論理和回路をそれぞれ示す。いま入力信号702が第8図(a)に示したように第6図(a)と同じ信号であるとする時、第7図の第1および第2の符号変化検出回路の出力信号704,705はそれぞれ第8図(b),(c)のようになる。従ってセット・リセット型フリ

ップフロップ回路の出力信号707は同図(d)のようになる。これは第6図(d)の信号と同じであるから、排他的論理和回路708の出力信号709として、第6図(e)と同様、第8図(e)に示すようなクロック信号が得られる。なお第7図701,702の符号変化検出回路は、たとえば第9図901,902のような簡単な回路で構成できる。同図において903はインバータ、904および905は遅延時間 $T/2$  ( $T=1/f_0$ )の遅延回路、906および907は論理積回路である。同図において入力端子908にバイフェーズ信号を加えれば、出力点909,910にはそれぞれ第7図704,705に相当する出力信号が得られる。

このように本発明の回路によれば、簡単な構成により常に安定な動作を行なうバイフェーズ符号クロック抽出回路が得られる。なお本発明の回路は第7図および第9図に示すように論理回路素子のみで構成することができるので、論理回路が理想に近い動作をするような比較的低速領域で使用する場合には、第7図の基本構成のみで充分使用に供することができる。しかし、論理回路の動作

不全(ジッタや波形劣化など)が無視できないような高速領域での動作時や、論理回路は理想的であっても入力バイフェーズ信号自体が伝送路によって大きな波形歪を受けている場合には、第7図の回路の出力信号709として、もはやジッタのないクロック信号が得られなくなる。このような場合には、たとえば第10図に示すような、良く知られた位相同期回路1005を第7図の回路のうしろに継続接続することにより、その出力信号1001としてジッタのない良好なクロック信号を得ることができる。この場合位相同期回路の帰還ループはクロック抽出回路と独立しているので、動作は常に安定である。第10図において1002は位相比較器、1003は低域通過フィルタ、1004は電圧制御発振器をそれぞれ示す。

なお、第10図のような位相同期回路のかわりに、中心周波数が $f_0$ であるような高選択度の狭帯域フィルタ(たとえばLCフィルタ、空洞共振器、弾性表面波フィルタなど)を用いて、ジッタを除去し良好なクロック信号を得ることもできる。

第11図は本発明のクロック抽出方式を具現する他の回路の構成を示す。同図において1101はバイフェーズ符号化された入力信号1102の符号変化時点を検出する符号変化検出回路、1103はこの符号変化検出回路の出力信号1104を入力信号とするバイナリカウンタ、1105はこのバイナリカウンタの出力信号1106と前記バイフェーズ符号化された入力信号1102とを入力し排他的論理和演算を行なう排他的論理和回路をそれぞれ示す。バイナリカウンタ1103はたとえば同図に示したように、遅延形フリップフロップ回路のQ出力をD入力に帰還し、C入力として信号を加えることにより容易に得られる。また符号変化検出回路1101は、たとえば第12図に示したように、第9図の回路の2つの出力点909,910に論理和回路1201を接続することにより、容易に得られる。

第13図は、第11図の回路の動作を説明するのであり、入力信号1102としては同図(a)に示すように第6図(a)あるいは第8図(a)と全く同じものを例にとって示す。このとき、符号検出回路1101の

出力信号 1104 は、第12図に示すように“1”→“0”の符号変化検出回路の出力と“0”→“1”の符号変化検出回路の出力の論理和をとったもの、すなわち第8図の波形(b)と(c)の論理和をとったものであるから、第13図(b)のような波形となる。従ってこのような信号を第11図のバイナリカウンタ 1103 に加えた時の出力信号 1106 は第13図(c)のようになる。これは第8図(d)の波形と全く同じであるから、入力バイフェーズ符号と排他的論理和をとった後の出力信号として、第8図(e)と同様、第13図(d)のクロック信号出力が得られる。このように第11図に示した回路によっても、第7図に示した回路と同様にきわめて簡単な構成により、常に安定にバイフェーズ符号からクロック信号を抽出することができる。本回路のうしろに位相同期回路や各種の狭帯域フィルタを接続すれば、ジッタのはとんどないさらに良好なクロック信号が得られることも、第7図の回路の場合と全く同様である。

なお、第7図、第11図いずれの回路の場合でも、

フリップフロップ回路(第7図706または第11図1103)の初期状態によつて、第6図で説明したようにクロック信号の位相に2つの状態が存在する(たとえば動作中に一旦電源を切り再度投入したような場合、電源切断の前と後とでクロック信号の位相が180°変わることがある)。しかし前述したように、バイフェーズ符号をあらかじめ差動符号化しておくことにより、このようなクロック位相反転に伴う不都合(識別後のデータ極性が完全に反転するため出力データがすべて誤りになる)を避けることができる。

(発明の効果)

以上詳細に説明したように、本発明の方式および回路によれば、バイフェーズ符号からのクロック信号抽出をきわめて簡単な構成により実現することができる。しかもその動作を常に安定に保つことができる。本発明の回路は論理回路素子を主要な構成要素としているため全体を集積回路として構成するのも容易であり、種々のデータ伝送装置に広範囲に利用することができる。

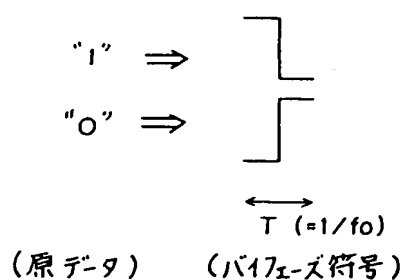
#### 図面の簡単な説明

第1図はバイフェーズ符号の変換則を示す図、第2図はバイフェーズ符号則により符号化した場合の一例を示す図、第3図はバイフェーズ符号化回路の一例、第4図はバイフェーズ復号回路の一例、第5図は従来のクロック抽出方式を示す図、第6図は本発明の方式の原理を説明する図、第7図は本発明のクロック抽出回路の構成を示す図、第8図は第7図の回路における各部波形を示す図、第9図は符号変化検出回路の一構成例を示す図、第10図は位相同期回路を示す図、第11図は本発明のクロック抽出回路の他の構成を示す図、第12図は符号変化検出回路の一構成例を示す図、第13図は第11図の回路における各部波形を示す図である。

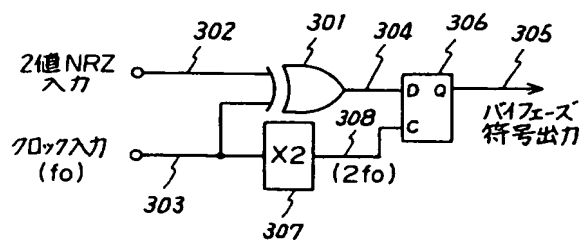
図において 301 は排他的論理和回路、302 は NRZ 符号入力、303 はクロック信号、304 は出力信号、305 はバイフェーズ出力信号、306 はフリップフロップ回路、307 は周波数分倍回路、308 はクロック信号、401 はフリップフロップ回路、402 は入力信号、403 はクロック信号、404

は出力信号、501 は入力信号、502 はフリップフロップ回路、503 は復号出力、504 は抽出クロック信号、505 は排他的論理和回路、506 はバイフェーズ符号、507 は位相比較器、508 は低域通過フィルタ、509 は電圧制御発振器、510 は位相同期発振器、601,602,603 および 604 はそれぞれ符号変化時点、701 は第1の符号変化検出回路、702 は入力信号、703 は第2の符号変化検出回路、704 および 705 は出力信号、706 はセット・リセット形フリップフロップ回路、707 は出力信号、708 は排他的論理和回路、709 は出力信号、901, 902 は符号変化検出回路、903 はインバータ、904,905 は遅延回路、906,907 は論理積回路、908 は入力端子、909,910 は出力点、1001 は出力信号、1002 は位相比較器、1003 は低域通過フィルタ、1004 は電圧制御発振器、1005 は位相同期回路、1101 は符号変化検出回路、1102 は入力信号、1103 はバイナリカウンタ、1104 は出力信号、1105 は排他的論理和回路、1106 は出力信号、1201 は論理和回路を、それぞれ示す。

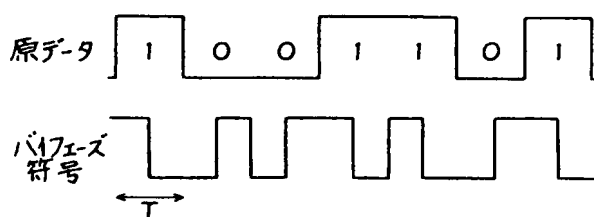
第 1 図



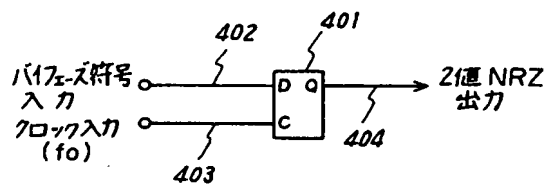
第 3 図



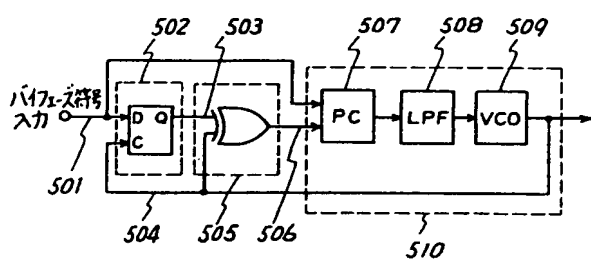
第 2 図



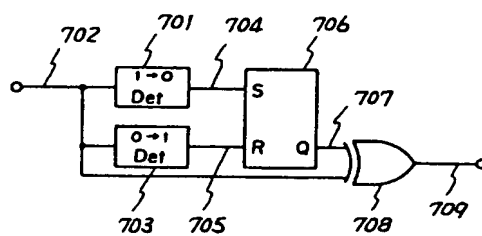
第 4 図



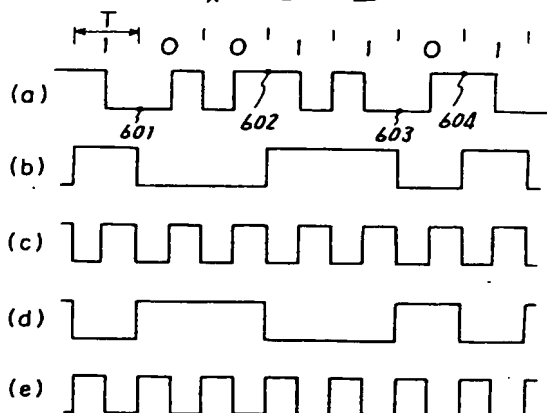
第 5 図



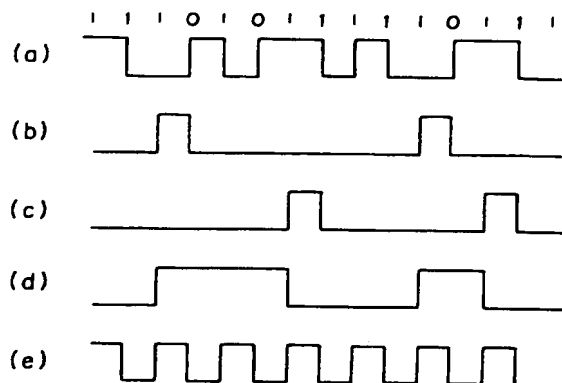
第 7 図



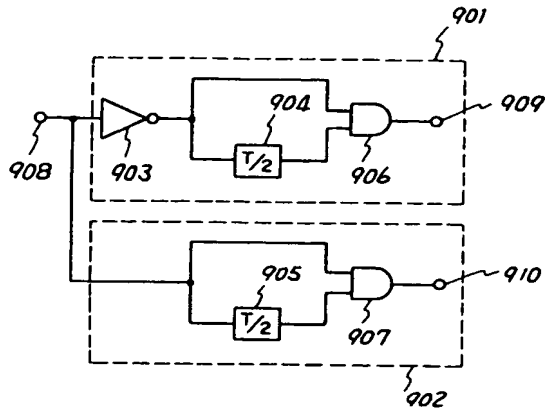
第 6 図



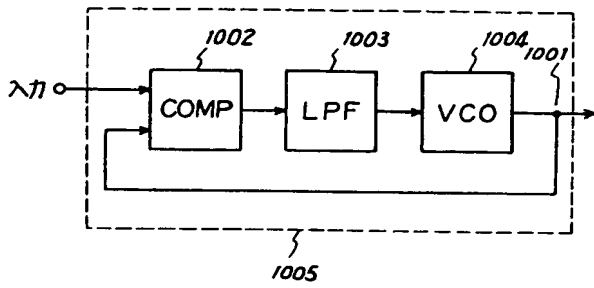
第 8 図



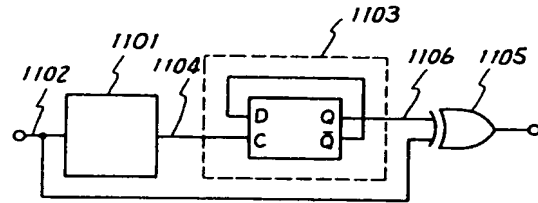
第 9 図



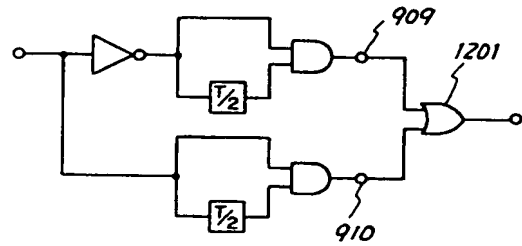
第 10 図



第 11 図



第 12 図



第 13 図

